



# 대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

RECEIVED  
SEP 24 2001  
Technology Center 2600

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 :  
Application Number

특허출원 2000년 제 78635 호

출원 년 월 일 :  
Date of Application

2000년 12월 19일

CERTIFIED COPY OF  
PRIORITY DOCUMENT

출원 인 :  
Applicant(s)

한국전자통신연구원



2001 년 03 월 29 일

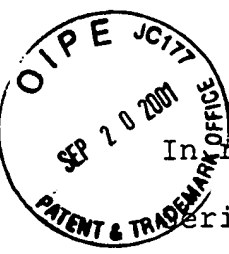
특 허 청

COMMISSIONER



#2  
BT  
10-18-01

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

RECEIVED  
SEP 24 2001  
Technology Center 2600

Inventor Patent Application of: Young Wha KIM, et al.

Serial No.: 09/930,217                      Group Art Unit: 2661

Filed: August 16, 2001                      Examiner: Not Yet Assigned

Title: APPARATUS FOR CANCELLING INTERFERENCE IN CDMA SYSTEM  
USING MULTIPLE TRANSFER RATES AND METHOD THEREOF.

\* \* \* \* \*

CLAIM FOR PRIORITY  
UNDER 35 U.S.C. § 119

Honorable Commissioner for Patents  
Washington, D.C. 20231


September 20, 2001

Sir:

The benefit of the filing date of prior foreign application  
No. 2000-78635 filed in Korea on December 19, 2000, is hereby  
requested and the right of priority provided in 35 U.S.C. §119 is  
hereby claimed.

In support of this claim, filed herewith is a certified copy  
of said original foreign application.

Respectfully submitted,

  
Yoon S. Ham  
Reg. No. 45,307

JACOBSON, PRICE, HOLMAN & STERN, PLLC  
400 Seventh Street, N.W.  
Washington, D.C. 20004-2201  
Telephone: (202) 638-6666

Atty. Docket No.: P67068US0  
YSH:ecl

【서류명】 특허출원서  
【권리구분】 특허  
【수신처】 특허청장  
【제출일자】 2000. 12. 19  
【발명의 명칭】 다중전송속도를 갖는 코드분할다중접속시스템의 감산형 간섭제거장치 및 방법  
【발명의 영문명칭】 A Subtraction Scheme of Interference Cancellation over Asynchronous Multi-rate Channel in CDMA Receiver  
【출원인】  
【명칭】 한국전자통신연구원  
【출원인코드】 3-1998-007763-8  
【대리인】  
【성명】 전영일  
【대리인코드】 9-1998-000540-4  
【포괄위임등록번호】 1999-054594-1  
【발명자】  
【성명의 국문표기】 김영화  
【성명의 영문표기】 KIM, Young Wha  
【주민등록번호】 641015-1480810  
【우편번호】 305-333  
【주소】 대전광역시 유성구 어은동 99번지 한빛아파트 119동 1402호  
【국적】 KR  
【발명자】  
【성명의 국문표기】 김성락  
【성명의 영문표기】 KIM, Seong Rag  
【주민등록번호】 590107-1683815  
【우편번호】 305-390  
【주소】 대전광역시 유성구 전민동 나래아파트 106동 801호  
【국적】 KR  
【발명자】  
【성명의 국문표기】 최인경  
【성명의 영문표기】 CHOI, In Kyeong  
【주민등록번호】 600221-2674513

【우편번호】 302-120  
【주소】 대전광역시 서구 둔산동 목련아파트 105동 1105호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
전영일 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 10 면 10,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 10 항 429,000 원  
【합계】 468,000 원  
【감면사유】 정부출연연구기관  
【감면후 수수료】 234,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 다중전송속도를 갖는 코드분할다중접속시스템에 적용 가능한 수신기의 성능개선에 관한 것이다. 특히, 각 단말기 신호 혹은 다중경로채널을 거쳐 신호가 비동기 유형으로 혼합되어 있는 수신 데이터로부터 정보 추출을 위한 역확산 과정에 의해 발생하는 다수 사용자 간섭을 효과적으로 제거하기 위한 병렬 감산형 간섭제거기를 제시한다. 본 발명은 코드 분할 다중 접속 장치에서의 다중 사용자 검출기 구현을 위한 간섭 잡음 제거기로서 큰 범주에서 보면 디지털 잡음 제거 여파기 분야에 속한다.

비동기 수신 신호로부터 병렬형 간섭 제거기를 구현함에 있어 수신 신호의 비트 정보가 동일 시간 기준으로 정렬되어 있지 않으므로 인하여 이를 병렬형으로 각각 간섭신호를 추정하여 수신신호로부터 제거해 나가기 위해서 고려해야 할 사항이 있는데, 본 발명에서는 다음 두 가지의 문제점을 해결한다. 첫째, 간섭제거의 정확성을 유지하고, 둘째, 신호 처리에 따른 시간 지연을 최소화하여 전체 시스템의 시간 지연을 최소화한다.

본 발명에서는 이를 만족하기 위한 일련의 처리방법으로써, 비동기적인 수신 신호 중 가장 빠른 신호와 가장 늦은 신호의 도착 시작과 끝 시점을 기준으로 간섭신호재생 및 감산시점을 최적화시킨다.

## 【대표도】

도 5

## 【색인어】

코드분할다중접속, 다중전송속도, 수신기, 간섭제거기, CDMA시스템, 파이프구조

**【명세서】****【발명의 명칭】**

다중전송속도를 갖는 코드분할다중접속시스템의 감산형 간섭제거장치 및 방법 { A  
Subtraction Scheme of Interference Cancellation over Asynchronous Multi-rate Channel  
in CDMA Receiver }

**【도면의 간단한 설명】**

- 도 1은 일반적인 CDMA 시스템의 수신기를 도시한 도면,  
도 2는 다중 전송속도를 갖는 비동기 수신신호의 혼합 구성도,  
도 3은 본 발명의 한 실시예에 따른 순차형 비동기 간섭신호 제거 처리과정을 도시  
한 기본 흐름도,  
도 4는 본 발명을 다단 구조로 확장할 경우의 데이터 처리 흐름도,  
도 5는 본 발명을 병렬처리장치 구조에 적용한 경우의 데이터 처리 흐름도,  
도 6은 본 발명의 한 실시예에 따른 간섭제거방식에 대한 데이터 버퍼 제어 방법  
설명도,  
도 7은 본 발명이 적용 가능한 CDMA 병렬형 간섭제거장치의 구성도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 각 사용자들이 다양한 전송속도를 갖는 코드분할다중접속시스템에 적용 가능한 수신기 성능 개선기술에 관한 것으로서, 보다 상세하게 설명하면 다중사용자간 또는 경로간 상호 영향을 주는 간섭신호를 추정하여 제거하는 감산형 간섭제거장치 및 방법에 관한 것이다.
- <9> 본 발명은 각 사용자들이 다양한 전송속도를 갖는 코드분할다중접속시스템(이하 CDMA 시스템) 수신기의 성능을 개선하기 위한 기술분야로서, 디지털 간섭잡음 여파기술에 속한다. 종래의 기술로는 직렬형 간섭 제거기와, 병렬형 간섭 제거기, 그리고 이들을 혼합한 하이브리드형 간섭 제거기가 있다. 본 발명은 이들 방식들 중 병렬형 간섭 제거기에 관한 것이며, 특히 다중전송속도를 갖는 비동기 CDMA 수신기에 관련된 것이다.
- <10> 이에 대한 대표적인 종래 기술로는 미국 버지니아 공대기술연구소(Virginia Tech.)에서 연구한 결과와 한국의 ETRI에서 연구한 결과가 있다.
- <11> 먼저 기존 ETRI에서는 여러 비트 또는 심볼을 모아 블록 단위로 간섭제거하는 구조에 관한 연구 결과가 제안되었는 바, 시스템 구현시 메모리 버퍼의 용량이 커지는 문제점이 있다. 특히, 비동기적으로 겹치는 부분에 대해 종래에는 한 번 더 검출하는 방식을 이용하고 있는 바, 겹치는 부분에 대한 검출의 정확도가 낮아지는 문제점이 있다.
- <12> 한편, 미국 버지니아 공대 기술연구소에서는 순차적인 간섭제거방식을 제안하였는 바, 이는 연산의 순차적인 처리 과정에 있어서 검출 및 신호 재생을 처리하는 연산 과정

과, 감산하는 과정, 그리고 간섭이 제거된 신호를 가지고 다시 검출하는 역확산과정의 처리가 일방향으로 정렬되어 있지 않고 그 처리 순서가 혼합되어 있기 때문에, 하나의 비트 연산을 위해 해당 연산 처리 내용과 처리 대상의 데이터가 매번 달라지므로 인하여 데이터 연산 처리 이외에 그 데이터를 처리하기 위한 연산 과정의 변경 및 데이터 액세스 등 연산을 위해 준비해야하는 부가적인 제어 처리 부하가 많아지게 된다. 따라서 이를 하드웨어로 구현할 경우, 처리속도를 향상시키기 어려우며 처리 흐름의 제어가 복잡해지는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<13>       상기와 같은 종래기술의 문제점을 해결하기 위한 본 발명의 목적은, 다중전송속도 송수신 환경에서 코드분할다중접속채널에 적용되는 수신기를 구현하고자 할 때, 처리지연시간을 최소화하면서 하드웨어 구현이 용이한 감산형 간섭제거장치 및 방법을 제공하기 위한 것이다.

#### 【발명의 구성 및 작용】

<14>       상기한 목적을 달성하기 위한 본 발명에 따른 다중전송속도를 갖는 코드분할다중접속시스템의 수신기에서 비동기식으로 수신되는 각 사용자별 또는 경로별 수신신호에 대하여 순차적으로 간섭을 제거하는 병렬형 간섭제거장치는,

<15>       상기 각 사용자별 또는 경로별 수신신호에 대한 역확산 연산을 수행한 후, 채널 추정치를 이용하여 신호 재생하는 신호재생수단과;



- <16>      상기 신호재생수단에서 재생된 각 사용자별 또는 경로별 신호를 해당 수신시간축 상에서 합산하고, 합산된 신호를 입력 수신신호에서 감산하여 잔여신호를 생성하는 잔여 신호 생성수단;
- <17>      상기 잔여신호 생성수단에서 생성된 잔여신호와 각 사용자별 또는 경로별 신호를 합산하여 간섭이 제거된 신호를 생성한 후 역확산 연산을 수행하는 역확산수단;
- <18>      각 사용자별 또는 경로별 수신신호를 입력받아 각 사용자별 다중속도 및 비동기 시작 위치점을 검출하는 레이트 검출수단; 및
- <19>      상기 각 사용자별 또는 경로별 다중속도 및 비동기 시작 위치점 정보를 이용하여 상기 신호재생수단과 잔여신호 생성수단 및 역확산수단을 제어하는 제어기를 포함한 것을 특징으로 한다.
- <20>      또한, 다중전송속도를 갖는 코드분할다중접속시스템의 수신기에서 비동기식으로 수신되는 각 사용자별 또는 경로별 수신신호에 대하여 순차적으로 간섭을 제거하는 병렬형 간섭제거방법은,
- <21>      상기 입력되는 각 사용자별 또는 경로별 수신신호에 대한 역확산 연산과 채널 추정치를 이용한 신호 재생을 연속적으로 반복 수행하여 신호 재생하는 제 1 단계와;
- <22>      상기 제 1 단계에서 재생된 각 사용자별 또는 경로별 신호를 해당 수신시간축 상에서 합산하고, 합산된 신호를 입력 수신신호에서 감산하여 잔여신호를 생성하는 처리를 연속적으로 수행하는 제 2 단계;
- <23>      상기 제 2 단계에서 생성된 잔여신호와 각 사용자별 또는 경로별 신호를 합산하여

간섭이 제거된 신호를 생성한 후 역확산 연산을 연속적으로 반복 수행하는 제 3 단계를 포함하며;

<24>       상기 제 1 단계와, 제 2 단계, 및 제 3 단계는 입력되는 신호에 대해 해당 연산만을 반복 수행하여 다음 단계로 전달하는 것을 특징으로 한다.

<25>       본 발명에서는 병렬형 간섭 제거기를 수신되는 비트별로 순차적인 처리하고 비동기적으로 겹치는 부분에 대해 검출 정확도를 향상시킬 수 있다. 또한, 본 발명은 간섭 제거를 위해 필요로 하는 전체적인 처리 단위를 몇 개의 기본 연산단위(프로세싱 유닛)로 분류하고, 각각에 해당하는 연산처리만을 전담하는 몇 개의 프로세서(파이프)를 할당하여 병렬 처리하는 구조를 제안하는 바, 동일 알고리즘을 처리하는 데에 따른 처리 속도를 향상시키고 그 처리 과정에서 소요되는 시스템 프로세싱 타임 딜레이(Processing time delay)를 최소화할 수 있다. 이와 같은 구조의 또 하나의 장점으로서는 다중전송속도를 갖는 시스템에 적용하기 쉽도록 각 처리 단위가 모듈화되어 있으며, 이들 모듈이 가장 긴 비트 주기를 갖는 신호를 기준으로 이보다 작은 주기의 신호들에 대해 일정 패턴으로 반복 처리될 수 있기 때문에 다중전송속도를 갖는 경우에도 병렬형 간섭 제거기를 병렬형 연산 처리기에서 구현하기 쉽도록 되어 있다.

<26>       이하, 첨부된 도면을 참조하면서 본 발명의 한 실시예에 따른 '다중전송속도를 갖는 코드분할다중접속시스템의 감산형 간섭제거장치 및 방법'을 보다 상세하게 설명하기로 한다.

<27>       도 1은 코드분할다중접속시스템에서 사용하는 일반적인 기저대역 정합 수신기의 구

성도이다. 수신 신호  $r(n)$ 은 각 사용자에게 대하여 특정된 코드에 의해 확산된 신호가 중첩되어 수신된다. 이들 신호와 각각의 코드 시퀀스  $c1(n) \sim c4(n)$ 를 곱하고(111, 112, 113, 114), 그 결과를 하나의 비트 단위 길이만큼 모두 더하면(121, 122, 123, 124), 각각의 사용자 신호로 역 확산된 신호가 얻어진다. 이러한 역 확산된 신호를 결정 처리기(131, 132, 133, 134)에 적용하여, 본래의 데이터 정보를 추출한다.

<28> 그러나, 이러한 처리과정에서 각 사용자별 확산코드시퀀스가 상호 직교특성을 갖지 않으므로 인하여 또는 동일 사용자의 신호가 다른 전파(Propagation) 경로를 통해 수신됨으로 인하여 이들 수신신호는 상호간섭신호를 갖는다. 이들 간섭신호는 시스템 전체의 서비스 용량을 제한하거나, 통신 품질을 저해하는 요인이 된다. 따라서 이를 효과적으로 제거하기 위한 많은 연구가 지속되어 왔다.

<29> 본 발명은 이러한 일반적인 기저대역 정합 수신기를 이용한 간섭 제거기 연구 분야 중, 병렬형 간섭 제거기를 비동기식 다중 전송속도를 갖는 수신기 환경에서의 구현하는 방법을 제시한다.

<30> 도 2는 본 발명이 제시하는 방안을 적용하기 위한 수신신호 환경의 일 예를 도시한다. 여기서 261, 262, 263, 및 264는 사용자별 또는 전파 경로별 다중 접속 신호를 나타내고 있으며, 이하에서는 다중전파경로별 신호라고 별도로 명시하지 않으면 다중접속 사용자신호란 다중전파경로의 신호도 포함하는 것으로 설명한다. 261 사용자에게 비해 262 사용자는 두 배의 전송속도를 가지며, 263 사용자는 261 사용자에게 비해 네 배의 전송속도를 가진다. 264 사용자와 261 사용자는 동일 전송 속도를 갖는 사용자이다. 이와 같이 각 사용자별로 여러 종류의 전송속도를 갖고 있는 전송환경을 다중전송속도를

갖는 코드분할다중접속 환경이라 하고, 이들 신호가 서로 다른 전파지연을 갖으면서 각 확산비트 정보가 시간영역에서 정렬되어 있지 않는 비동기식 수신환경을 나타내고 있다.

<31> 211은 사용자 0에 대한 첫 번째 비트 00에 대한 확산신호를 의미하며, 212는 사용자 0에 대한 두 번째 비트에 대한 확산신호, 그리고 213은 세 번째 비트에 대한 확산신호를 나타낸다. 또한, 221, 222, 223, 224, 225, 및 226은 사용자 262에 대한 확산신호가 사용자 262의 신호에 비해  $t_1$  만큼 지연되어 수신된 상황을 나타낸다. 또한, 231, 232, 233, 234, 235, 236, 237, 238, 및 239는 사용자 263에 대한 확산신호가 사용자 261의 신호에 비해  $t_2$  만큼 지연되어 수신된 상황을 나타낸다. 또한, 241, 242, 및 243은 사용자 264에 대한 확산신호가 사용자 261의 신호에 비해  $t_3$  만큼 지연되어 수신된 상황을 나타낸다. 여기서, 각 사용자별 초기 동기는 정확히 획득된 것으로 간주하고, 각 사용자별 가장 빠르게 도착한 사용자 261의 신호를 기점으로 나머지 사용자 사이의 상대적인 시간 지연을 각각  $t_1$ ,  $t_2$ , 및  $t_3$ 라 하기로 한다.

<32> 이러한 확산 신호가 시간영역에서 중첩되어 합산되면 251과 같은 하나의 합산 수신 신호(SUM of all signal)가 얻어진다.

<33> 도 3은 도 2와 같은 수신신호 환경에서 각 사용자간의 간섭을 순차적으로 제거해 나가는 과정을 도시한 도면이다. 이 도면에서는 일반 정합 수신기에 한 개의 병렬형 간섭 제거기가 추가되었을 경우를 예로든 도면이다.

<34> 이 도면에서 비트 인덱스(bit index)는 도 2의 각 사용자별 첫 번째 비트, 두 번째

비트,...를 나타내는 것으로, 도 3의 bit 1은 도 2의 211, 221, 231, 및 241 비트에 대한 확산정보를 의미한다. 한편, 다중전송속도 환경이므로 확산이득에 따라 확산길이가 여러 종류이지만 정보 검출의 최소 단위가 비트 단위이므로 가장 긴 확산비트 정보를 간섭제거의 기준으로 하여 이 보다 확산이득이 적은 경우에는 확산 이득이 가장 긴 경우에 비해 배수만큼을 더 연산 처리하는 것으로 간주하고, 여기서는 이와 같은 배수처리연산을 별도로 언급하지 않기로 한다. 즉, 앞의 도 2에서 사용자 261에 비해 사용자 262의 전송정보는 시간 구간에 있어서 정확히 두 개의 비트 정보가 확산되어 있으므로, 사용자 261의 1개 비트에 대한 처리과정 중, 사용자 262에 대해서는 해당 사용자 비트의 확산이득에 따라 도 3의 C01, CA2, C02, 그리고 비트 결정(314, 324, 334)과 같은 처리과정을 두 번씩 반복하여 처리하는 것으로 간주하면 되므로, 향후 이하의 설명에서는 각 사용자별 확산이득에 따라 몇 번 반복 처리하는 것에 대한 설명은 생략하기로 한다.

<35> 도 3에서 C01(311, 321, 331, 341, 351, 361)은 일반 정합수신기를 의미하는 것으로 각각은 매 사용자 확산신호에 대한 역 확산 처리하며, 도 1의 111 및 121에 해당한다. 여기서 한 단의 간섭제거를 위하여 두 개의 처리과정이 추가되는데, 이것이 CA2(312, 322, 332, 342)와 C02(313, 323, 333)이다. CA2(312, 322, 332, 342)는 먼저 역 확산된 신호를 이용하여 각 사용자에 대하여 수신신호 정보를 재생하여 이들을 동일 시간축 상에서 모두 더한 후, 이 더한 결과를 수신신호에서 감산하여 잔여신호를 생성하는 일련의 처리과정을 의미한다. C02(313, 323, 333)는 CA2(312, 322, 332, 342)에서 생성된 잔여신호와 C01에서 이미 생성된 재생신호를 합하여 이 신호를 다시 각 사용자별 복조기에 입력하여 역확산하는 처리과정을 의미한다.

<36> 이와 같이 간섭신호가 제거된 신호를 입력받아서, 역 확산된 결과를 이용하여 비

결정 룰에 따라 정보를 결정(314, 324, 334)하기 때문에, 간섭이 제거되기 전의 수신신호로부터 비트 결정을 하는 경우에 비해 보다 향상된 수신성능을 갖게 된다.

<37> 도 3은 비동기 수신 채널에서 이러한 병렬형 간섭 제거기를 비트 단위로 처리하기 위한 프로세싱 과정을 나타낸 것으로, 1단의 간섭 제거기 추가에 대하여 초기 시간 지연은 2비트이며, 한 비트를 검출하기 위하여 필요한 프로세싱 유닛(여기서 C01, CA2 또는 C02를 의미함)은 모두 3개이다.

<38> 도 4는 간섭 제거의 단수가 2일 경우를 도시한 도면이다. 간섭 제거의 단수라 함은 일반적인 정합 수신기를 제외하고 이에 추가된 단수를 의미하는 바, 간섭제거 단수가 2라 함은 기존 일반 정합 수신기단에 간섭 제거기 2개 단이 추가된 경우이다. 따라서, 전체 처리 과정은 3개의 단이 되는 것이다.

<39> 도 4에서 C01은 일반 정합 수신기를 나타내고 있으며, 이에 추가된 CA2와 C02를 하나의 간섭 제거단, 그리고 CA3과 C03을 또 하나의 간섭 제거단으로 도합 2개의 간섭 제거단이 추가된 것으로 볼 수 있다. 도 4에서는 간섭 제거단이 추가될 경우 처리구조가 도 3에서의 처리 구조를 그대로 확장할 수 있음을 나타내고 있다. 즉, 411은 도 3에서의 초기 처리과정과 동일하며, 도 3에서 각 비트 검출시 처리 과정인 412 및 413 처리과정은 동일하게 된다. 다만 간섭 제거단 수가 1개 확장됨에 따라 411, 412, 및 413에서의 C02의 처리 후에 CA3 과정이 추가되며, 이 과정 이후 C03의 처리과정이 추가된다. 이들 CA3 및 C03 처리과정은 앞의 도 3에서 설명한 CA2 및 C02의 처리 과정과 동일하다. 이와 같이 간섭제거의 단 수가 추가되면 미처 제거되지 못한 간섭성분을 더욱 걸러낸 신호를 이용하여 비트 결정을 할 수 있어 정확도가 수신기의 BER 특성을 향상시킬 수가 있

으나, 초기시간지연이 추가되는 단수에 비트수로 2배 증가하게 된다.

<40> 도 5는 앞에서 설명한 처리과정을 실제 시스템에서 구현시, 본 발명에서 제안하는 파이프라인 구조의 처리과정을 나타내는 도면이다. 삼각형(521)에서 CA2(533)는 현재의 자신의 처리 대상 비트에 대한 C01(531) 처리결과와 하나 앞의 비트에 대한 C01(532) 처리결과를 가지고 연산한다. 한편 삼각형(522)에서 C02(543)는 현재 자신의 처리대상 비트에 대한 CA2(541) 처리결과와 하나 앞의 비트에 대한 CA2(542) 처리결과를 가지고 연산한다.

<41> 이와 같이 이들 521 및 522 에서 처리하는 과정은 각각 동일한 두 개의 처리과정과 이들 두 개의 처리 결과를 이용하여 하나의 다음 과정으로 천이해 가는 과정의 반복으로 구성되어 있음을 알 수 있다. 또한 이러한 과정을 시간축 상(514)으로 관찰하면 상호 데이터 처리결과에 독립적인 4개의 처리과정이 동일 시간축 상에서 존재함을 볼 수 있다. 즉, 이들은 서로의 처리 결과에 의존하지 않으므로 병렬처리가 가능하고 각각의 처리과정은 동일한 연산 처리의 반복으로 구성할 수 있으며, 앞에서 하나의 처리 결과가 하나의 처리 과정만큼 지연 반복되고 있음을 볼 수 있다. 즉, 파이프 1(511)은 연속적으로 입력되는 수신신호를 가지고 C01만을 반복 연산하고, 그 결과에 하나의 처리단위만큼 지연된 상태에서 파이프 2(512)가 연산되며, 또한 이 결과에 하나의 처리단위만큼 지연된 상태에서 파이프 3(513)이 연산되는 과정으로 처리가 가능하다.

<42> 따라서, 본 발명에서는 일반적인 병렬형 간섭 제거기가 갖고 있는 연산 부하를 여러 개의 처리 단위(531, 533, 543)로 분산시키고, 이와 같이 분산된 연산 처리단위를 입력되는 수신신호의 비트정보를 순차적으로 처리하는 과정과 함께 고려하여 도 3 또는 도

4와 같은 처리 흐름을 도 5와 같이 파이프라인 형태로 변경한다. 이와 같은 처리구조의 특징은 각 연산 처리단위를 하나의 파이프라 하여 입력된 수신신호 및 선행 파이프(512에 대해서는 511이 선행 파이프이며, 513에 대해서는 512가 선행 파이프임)의 출력 결과를 이용하여 동일한 연산 과정만을 반복하여 되풀이하도록 되어 있어 PLD 및 ASIC으로 구현이 간편하고 처리 속도를 향상시킬 수 있을 뿐 아니라, 이들간의 상호 연결이 하나 처리 단위만큼의 시간 지연 후 연속적으로 다음 파이프에 연결되어 있어 제어 구조가 단순해지는 장점을 갖는다.

<43> 한편 각 파이프는 상호 하나의 처리 단위만큼만 지연된 상태에서 순차적으로 연결되어 동작하는데, 이때 이들 파이프간 연결동작의 시작점은 전체 시스템 처리 속도를 결정하는데 직접적인 연관을 갖는다. 본 발명에서는 또한 이 파이프간의 연결 시점에 관하여 최적의 제어방법을 처리 속도와 연관시켜 데이터 버퍼 제어방법을 통해 제안한다.

<44> 도 6은 본 발명에서 제안하는 파이프 구조의 간섭 제거기에서 파이프간 최적 연결시점을 제안하기 위한 처리 흐름을 세부적으로 분석하여 나타낸 것이다. 이 그림에서는 간섭 제거기가 1개 단인 경우를 도시한 도면이다. 먼저 여기서는 앞에서 언급한 바와 같이 다중전송속도를 갖는 경우, 각 처리단위가 처리이득에 따라 반복되는 것을 제외하고는 본 발명의 처리구조와 동일하므로 여기서는 단일 속도의 경우만을 설명하기로 한다.

<45> 도 6에서의 각 블록별 설명을 먼저 한다. 611은 수신된 신호로부터 해당 사용자의 확산코드 및 위상에 맞추어 역 확산 처리과정을 나타내고 있으며, 그 결과 612와 같은 복조 출력값이 얻어지며, 이 612를 이용하여 다시 채널 추정값을 이용하여 해당 사용자 신호를 재생한 것이 613이다. 이러한 처리 과정을 모든 사용자에게 대하여 적용하여 재생



된 신호들을 동일 시간축 상에서 합산한 결과가 614이며, 이 신호를 수신 신호에서 감산한 결과, 얻은 잔여 신호가 615이다. 한편 이 잔여신호를 각 사용자에게 대한 재생신호(613)와 합한 신호가 616이며, 이 신호는 수신신호로부터 다른 사용자의 간섭 신호가 제거된 향상된 입력신호이다. 이와 같이 향상된 입력 신호를 가지고 다시 복조기에서 역확산함으로써 수신성능을 높인다.

<46> 도면에서, 00은 0번째 사용자의 0번째 비트를 의미하며, 이들이 각 간섭 제거단에서는 하나의 번호를 더 붙여서 000 이라 함은 0번째 사용자의 0번째 비트를 0번째 단에서의 간섭 제거 처리 과정을 의미한다.

<47> 이와 같은 처리 구조에서 각 파이프간 연결 시점은 T2(624)와 T1(625)로 정의할 수 있다. T2는 간섭 제거단이 하나일 경우, 모든 사용자의 하나의 비트를 검출하기 위한 수신신호 입력시점을 나타낸다. 즉, 도 5에서 파이프 3의 처리를 진행시키기 위한 파이프 1과 파이프 2의 처리 완료시점을 의미한다. 한편 T1은 입력 수신신호가 T2일 경우에 대응하는 마지막 단에서의 비트 검출을 위해 필요한 최소의 데이터 단위를 의미한다. 즉, 이 T1 시점까지의 데이터가 마련되어 있어야 다음 단에서의 간섭 제거가 진행될 수 있음을 나타낸다. 이를 만족하기 위해서는 T1시점까지의 잔여신호 데이터가 마련되어 있어야 하며, 이를 위해서는 모든 사용자에게 대하여 첫 번째 비트 정보에 대한 재생신호가 동일 시간축 상에서 마련되어 있어야 한다. 그러나 가장 늦게 도착한 (K-1)번째 사용자 비트(622)는 다른 사용자들의 다음 번째 비트들과 시간축 상에서 겹쳐서 존재한다. 즉, (K-1)0번 비트는 20, 10 및 00비트와도 겹치지만 21, 11 및 01과 겹쳐서 존재하게 되므로 622 비트에 대한 재생신호가 마련되더라도 아직 21, 11 및 01 비트에 대한 재생신호는 발생하지 않은 시점으로서, 시간축 상에서 모든 사용자에게 대한 재생신호가 마련

된 위치는 가장 빠른 사용자 비트 정보인 00비트의 재생 위치(627)까지이다. 따라서 627의 위치까지만 잔여신호가 생성된다. 그러나 이 신호를 가지고는 다음 단의 간섭 제거를 진행할 수 없으므로 622와 시간축 상으로 겹친 다른 사용자 비트에 대한 복조 및 재생과정이 필요하게 된다. 따라서 T2의 시점에 이르러서는 622와 겹친 다른 모든 사용자에 대한 비트 정보에 대해 재생이 완료되므로 T1의 시점까지 잔여신호가 마련되어 다음 단에서의 간섭 제거가 가능하게 된다.

<48> 따라서 이 T2 는 다음 단의 간섭 제거를 위해 필요한 최소한의 데이터 입력 시점을 의미하며 이는 곧 앞에서 설명한 파이프간의 처리 속도를 가장 빠르게 할 수 있는 최적 연결시점을 의미한다. 한편, 앞의 도 5에서 파이프 2는 처리 과정상으로는 파이프 1의 내용에 하나의 처리단위를 지연하여 연결된 파이프로 볼 수 있지만, 그 연산 내용이 각 사용자별 재생신호에 대한 합산과 이들을 수신신호에서 빼는 단순한 처리 과정이므로 실제의 처리 과정에서는 파이프 1에 포함시켜서 처리하는 것이 타당하다. 이러한 관점에서 파이프 1과 파이프 2를 하나로 합하여 파이프 1의 C01 두 개가 처리된 이후 이들로부터 재생된 신호를 이용하여 파이프 2의 CA2가 처리되는 것으로 간주하고 실제의 시스템에서 T1과 T2의 정의는 다음과 같다.

<49> T2는 간섭 제거기에 참여하는 모든 사용자 신호 중 가장 느리게 도착하는 사용자 신호 비트(622)를 기준으로 이 비트와 시간상으로 겹쳐서 존재하는 다른 사용자 비트 중 가장 느린 비트 정보(621)가 복조를 완료하는 시점으로 정의할 수 있다. T1은 간섭 제거기에 참여하는 모든 사용자 신호 중 가장 느리게 도착하는 사용자 신호 비트(622)의 시점에서 모든 사용자 신호에 대한 재생신호가 존재하고 잔여신호가 마련되는 시점으로 정의할 수 있다.

<50> 이와 같이 정의된 T1과 T2와 각 파이프의 연결 시점과의 관계는 먼저 T1은 파이프 3의 시작 시점을 의미하는 것이며, 이 시점은 앞에서 언급한 바와 같이 파이프 1 및 2를 동일 파이프로 볼 경우, 이들의 처리 완료시점과 동일하고, 이들 파이프 1 및 2의 처리는 입력 신호 시점으로 보아 T2 시점이다. 즉 T1과 T2는 입출력의 관점에서 차이가 있으며, 파이프 연결시점으로 보면 동일한 연결시점으로 간주할 수 있다. 즉, 데이터 처리 버퍼를 이용할 경우, 수신 입력신호에 대한 데이터 버퍼의 포인터가 T2에 도달하였을 때, 이 시점까지의 파이프 1 및 2의 처리결과가 파이프 3 처리에 대한 시작시점(Trigger point)이 될 경우, 최종 처리시까지의 시간 지연을 최소화할 수 있는 파이프간 연결시점이 되는 것이다.

<51> 도 7은 본 발명에서 제안한 간섭 제거기를 구현하기 위한 장치 구성도이다.

<52> 이는 기존의 정합 수신기(711, 712, 713)와 비트 결정기(751, 752, 753)에 기본 블록인 하나의 간섭 제거기(721, 722, 723, 731)가 추가된 경우를 예로 나타내었다. 또한 각 사용자별 다중속도 및 비동기 시작 위치점을 검출하는 레이트 검출기(Rate detector)(761)와 이 정보를 이용하여 이들 간섭 제거기의 처리 과정과 파이프간 연결 제어를 위해 제어기(762)를 포함한다.

<53> 레이트 검출기(761)는 현재 서비스 중인 다중접속 사용자의 초기 동기획득 및 각 사용자의 확산 이득에 따른 다중전송속도(Multi-rate)와 초기 위상정보를 획득하며, 이들 정보는 시스템의 다른 구성요소에서 얻을 수 있음을 전제로 한다. 이들 정보를 이용하여 제어기(762)는 각 사용자별로 가장 위상이 빠른 사용자와 가장 늦은 사용자별로 순위를 정하고 또한 각 사용자별로 확산 이득에 따라 짧은 확산 데이터 열과 긴 확산 데이

터 열을 기준으로 각각 몇 번씩 반복 처리해야 하는지에 대한 정보를 추출한다. 이들을 종합하여 어느 사용자의 복조 데이터가 완료되는 시점을 기준으로 앞에서 언급한 T1과 T2를 정의한다.

<54> 이와 같이 정의된 파이프간 연결시점을 참조하여 감산기(731)는 간섭제거 연산을 수행하여 잔여신호에 의해 간섭이 제거된 신호를 생성하고, 역확산기(741, 742, 743)는 역 확산 처리과정을 통과시키고 이들의 출력 신호를 가지고 비트 결정(751, 752, 753) 과정을 수행한다. 이들을 파이프의 구성에 대비하여 보면 역 확산 처리과정인 정합 수신기(711, 712, 713)와 신호 재생 처리기(721, 722, 723)는 C01을 반복 처리하는 파이프 1에 해당하며, 이들 재생 신호를 합하고 수신 신호로부터 빼는 과정인 731은 CA2를 처리하는 파이프 2에 해당하고, 그리고 이들의 신호를 입력으로 다시 역 확산시키는 과정인 741, 742 및 743은 C02를 처리하는 파이프 3에 해당한다. 이들 각 파이프의 연결 시점은 다시 각 사용자별 확산 이득에 따라 반복 처리 횟수와 T2 및 T1로 정의된 시점에서 상호 연동되어 동작하도록 구성한다.

<55> 위에서 양호한 실시예에 근거하여 이 발명을 설명하였지만, 이러한 실시예는 이 발명을 제한하려는 것이 아니라 예시하려는 것이다. 이 발명이 속하는 분야의 숙련자에게는 이 발명의 기술사상을 벗어남이 없이 위 실시예에 대한 다양한 변화나 변경 또는 조절이 가능함이 자명할 것이다. 그러므로, 이 발명의 보호범위는 첨부된 청구범위에 의해서만 한정될 것이며, 위와 같은 변화예나 변경예 또는 조절예를 모두 포함하는 것으로 해석되어야 할 것이다.

**【발명의 효과】**

<56> 이상과 같이 본 발명에 의하면, 다음과 같은 효과가 있다. 첫째, 각 처리 단위를 파이프라인 구조로 분할하고, 이들 파이프가 시간축 상에서 단순히 일정 시간 지연의 관계로 연속적으로 연계되어 있음으로써, 전체적인 처리 구조가 단순해지고 따라서 ASIC 또는 PLD 와 같은 로직 디바이스로의 구현이 쉬워진다. 둘째, 각 파이프별로 모듈화된 처리의 단순 반복구조로 구현이 가능함으로써, 전체적인 처리 속도를 가속할 수 있다. 셋째, 각 파이프간의 연결 시점이 최적화되도록 제어함으로써 간섭 제거에 소요되는 시간 지연을 최소화할 수 있으며, 넷째, 간섭 제거의 병렬 처리를 위한 간섭 제거단의 추가, 기존 파이프 구조를 그대로 이용한 상태에서 파이프만을 추가 연장하면 되는 구조로 구성이 가능하므로 확장성을 지닌 유연한 병렬형 간섭 제거기의 설계 및 구현이 가능하다는 장점이 있다.

**【특허청구범위】****【청구항 1】**

다중전송속도를 갖는 코드분할다중접속시스템의 수신기에서 비동기식으로 수신되는 각 사용자별 또는 경로별 수신신호에 대하여 순차적으로 간섭을 제거하는 병렬형 간섭 제거장치에 있어서,

상기 각 사용자별 또는 경로별 수신신호에 대한 역확산 연산을 수행한 후, 채널 추정치를 이용하여 신호 재생하는 신호재생수단과;

상기 신호재생수단에서 재생된 각 사용자별 또는 경로별 신호를 해당 수신시간축 상에서 합산하고, 합산된 신호를 입력 수신신호에서 감산하여 잔여신호를 생성하는 잔여 신호 생성수단;

상기 잔여신호 생성수단에서 생성된 잔여신호와 각 사용자별 또는 경로별 신호를 합산하여 간섭이 제거된 신호를 생성한 후 역확산 연산을 수행하는 역확산수단;

각 사용자별 또는 경로별 수신신호를 입력받아 각 사용자별 다중속도 및 비동기 시작 위치점을 검출하는 레이트 검출수단; 및

상기 각 사용자별 또는 경로별 다중속도 및 비동기 시작 위치점 정보를 이용하여 상기 신호재생수단과 잔여신호 생성수단 및 역확산수단을 제어하는 제어기를 포함한 것을 특징으로 하는 다중전송속도를 갖는 코드분할다중접속시스템의 병렬형 간섭제거장치.

**【청구항 2】**

제 1 항에 있어서,

상기 다중전송속도 수신신호 중 가장 긴 비트 주기의 신호가 처리되는 동안에, 짧은 주기의 신호들은 상기 신호재생수단과 잔여신호 생성수단 및 역확산수단에서 반복 처리하여, 상기 가장 긴 주기의 신호와 동일한 길이로 맞추어 간섭을 제거하는 것을 특징으로 하는 다중전송속도를 갖는 코드분할다중접속시스템의 병렬형 간섭제거장치.

### 【청구항 3】

제 1 항에 있어서,

상기 신호재생수단에서 상기 각 사용자별 또는 경로별 수신신호에 대하여 순차적인 하나의 비트 정보를 모두 처리 완료하였을 때, 상기 각 사용자별 또는 경로별 수신신호 중 가장 빠른 위상 또는 가장 먼저 도착한 신호에 대하여 재생이 완료되는 시점까지 상기 잔여신호 생성수단에 대한 처리가 진행되도록 하는 다중전송속도를 갖는 코드분할다중접속시스템의 병렬형 간섭제거장치.

### 【청구항 4】

제 1 항에 있어서,

상기 역확산 수단을 통해 모든 사용자별 또는 경로별 하나의 비트 검출을 위하여 상기 수신신호에 포함된 각 사용자별 또는 경로별 신호 중에서 가장 늦은 위상 또는 가장 늦게 도착한 신호와, 시간축 상에서 겹치는 다른 사용자 또는 경로 신호들 중 가장 늦은 위상 또는 가장 늦게 도착한 신호의 재생이 완료되는 시점에 연결되는 것을 특징으

로 하는 다중전송속도를 갖는 코드분할다중접속시스템의 병렬형 간섭제거장치.

【청구항 5】

제 1 항에 있어서,

상기 신호재생수단과 잔여신호 생성수단과 역확산수단을 여러 개 연계하여 다단 구조로 확장한 것을 특징으로 하는 다중전송속도를 갖는 코드분할다중접속시스템의 병렬형 간섭제거장치.

【청구항 6】

다중전송속도를 갖는 코드분할다중접속시스템의 수신기에서 비동기식으로 수신되는 각 사용자별 또는 경로별 수신신호에 대하여 순차적으로 간섭을 제거하는 병렬형 간섭제거방법에 있어서,

상기 입력되는 각 사용자별 또는 경로별 수신신호에 대한 역확산 연산과 채널 추정치를 이용한 신호 재생을 연속적으로 반복 수행하여 신호 재생하는 제 1 단계와;

상기 제 1 단계에서 재생된 각 사용자별 또는 경로별 신호를 해당 수신시간축 상에서 합산하고, 합산된 신호를 입력 수신신호에서 감산하여 잔여신호를 생성하는 처리를 연속적으로 수행하는 제 2 단계;

상기 제 2 단계에서 생성된 잔여신호와 각 사용자별 또는 경로별 신호를 합산하여 간섭이 제거된 신호를 생성한 후 역확산 연산을 연속적으로 반복 수행하는 제 3 단계를 포함하며;



상기 제 1 단계와, 제 2 단계, 및 제 3 단계는 입력되는 신호에 대해 해당 연산만을 반복 수행하여 다음 단계로 전달하는 것을 특징으로 하는 다중전송속도를 갖는 코드분할다중접속시스템의 병렬형 간섭제거방법.

#### 【청구항 7】

제 6 항에 있어서,

상기 제 1 단계에서 상기 각 사용자별 또는 경로별 수신신호에 대하여 순차적인 하나의 비트 정보를 모두 처리 완료하였을 때, 상기 각 사용자별 또는 경로별 수신신호 중 가장 빠른 위상 또는 가장 먼저 도착한 신호에 대하여 재생이 완료되는 시점까지 상기 제 2 단계가 처리되도록 제어하는 것을 특징으로 하는 다중전송속도를 갖는 코드분할다중접속시스템의 병렬형 간섭제거방법.

#### 【청구항 8】

제 6 항에 있어서,

상기 제 3 단계는 역확산 수단을 통해 모든 사용자별 또는 경로별 하나의 비트 검출을 위하여 상기 수신신호에 포함된 각 사용자별 또는 경로별 신호 중에서 가장 늦은 위상 또는 가장 늦게 도착한 신호와, 시간축 상에서 겹치는 다른 사용자 또는 경로 신호들 중 가장 늦은 위상 또는 가장 늦게 도착한 신호의 재생이 제 2단계에서 완료되는 시점에 연결되는 것을 특징으로 하는 다중전송속도를 갖는 코드분할다중접속시스템의 병렬

형 간섭제거방법.

【청구항 9】

제 6 항에 있어서,

상기 다중전송속도 수신신호 중 가장 긴 비트 주기의 신호가 처리되는 동안에, 이보다 짧은 주기의 신호들은 상기 제 1 단계 내지 제 3 단계를 반복 처리하여 상기 가장 긴 주기의 신호와 동일한 길이로 맞추어 간섭을 제거하는 것을 특징으로 하는 다중전송속도를 갖는 코드분할다중접속시스템의 병렬형 간섭제거방법.

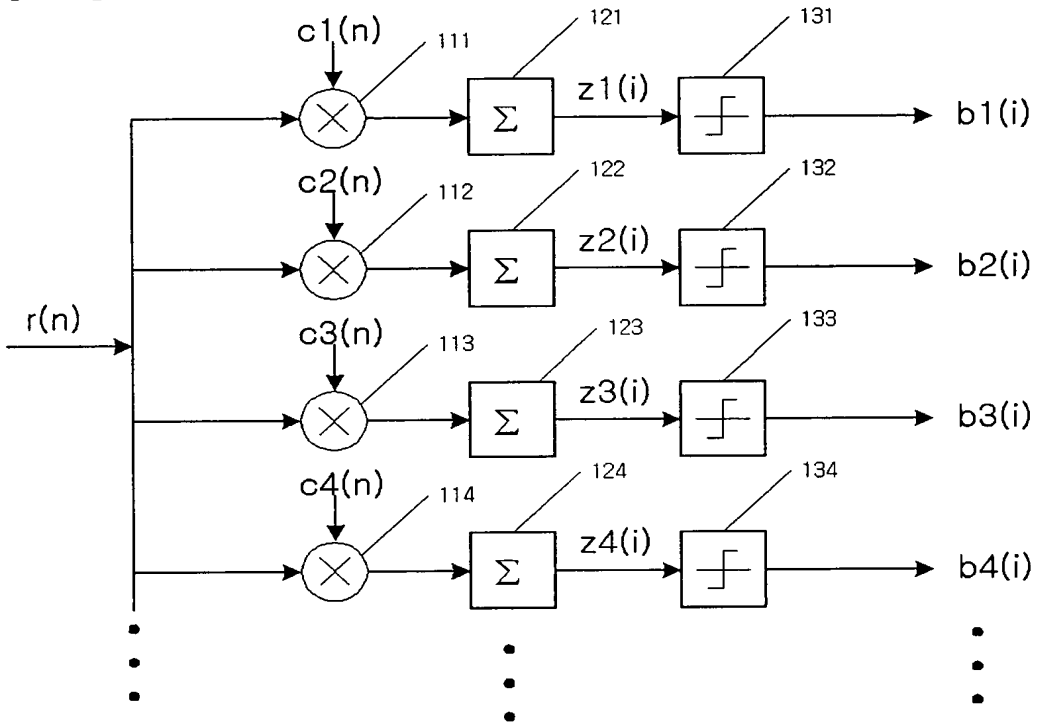
【청구항 10】

제 6 항에 있어서,

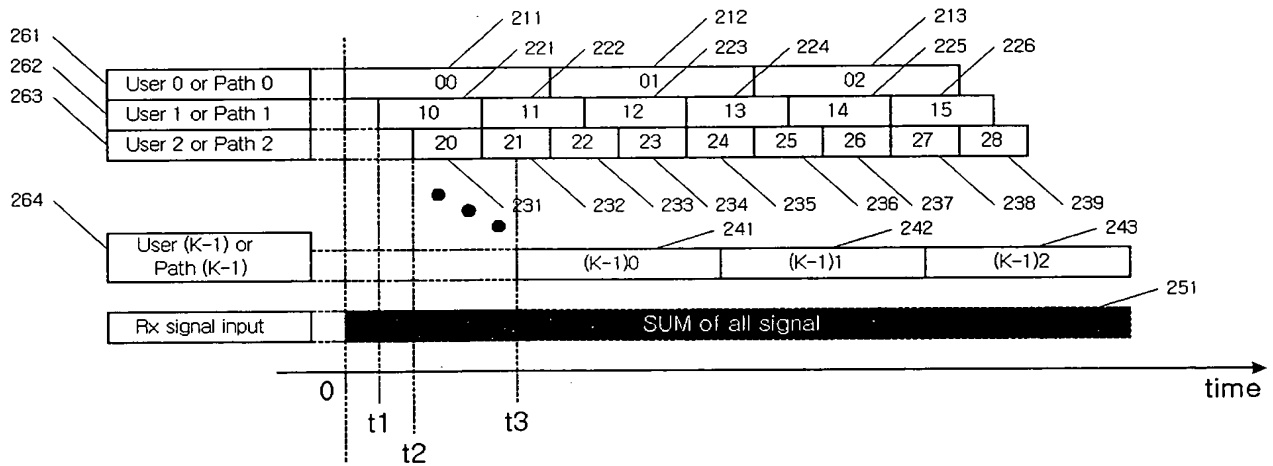
상기 제 1 단계 내지 제 3 단계를 여러 번 연계하여 반복 수행함으로써 다단 구조로 확장하는 것을 특징으로 하는 다중전송속도를 갖는 코드분할다중접속시스템의 병렬형 간섭제거방법.

【도면】

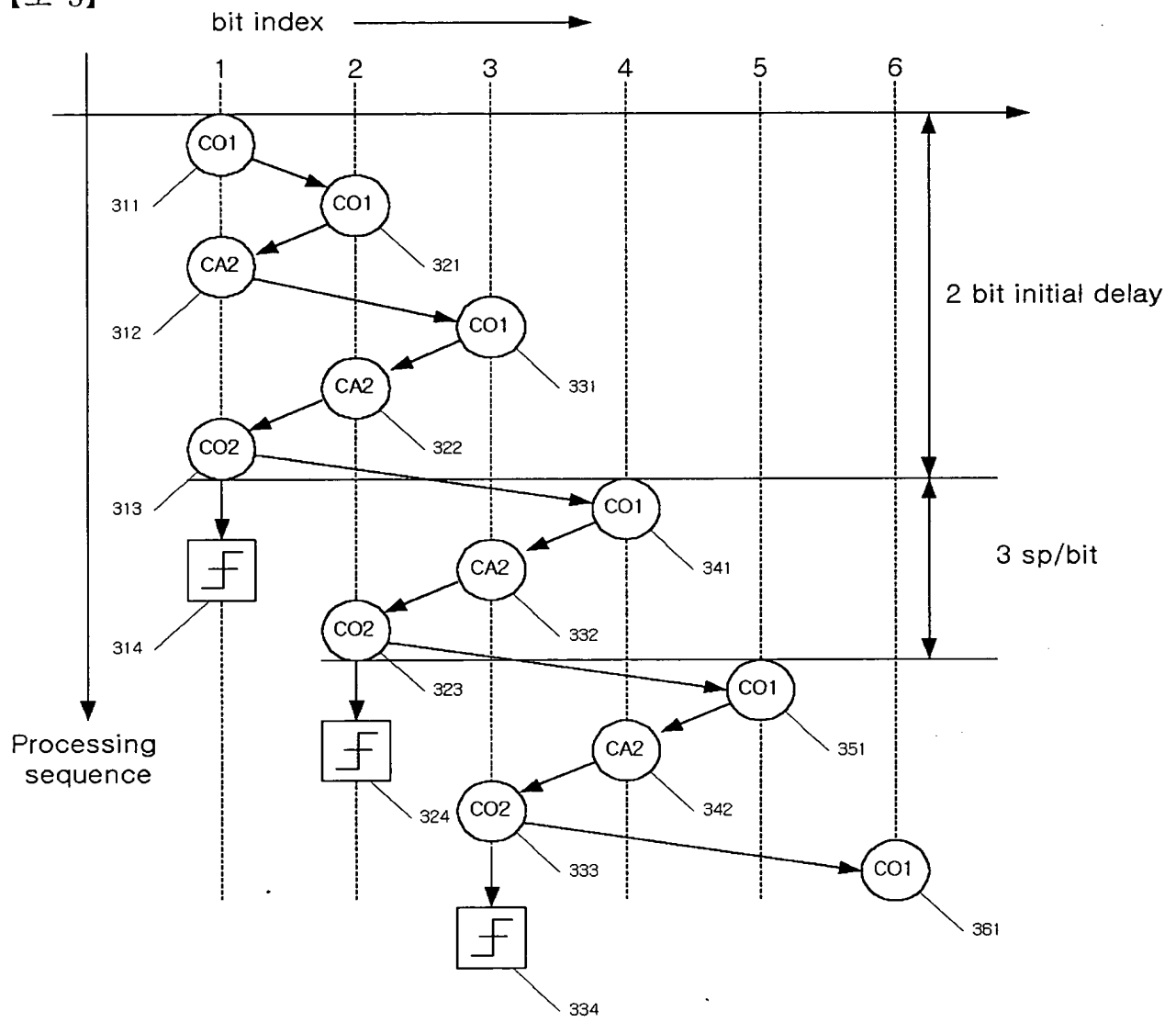
【도 1】



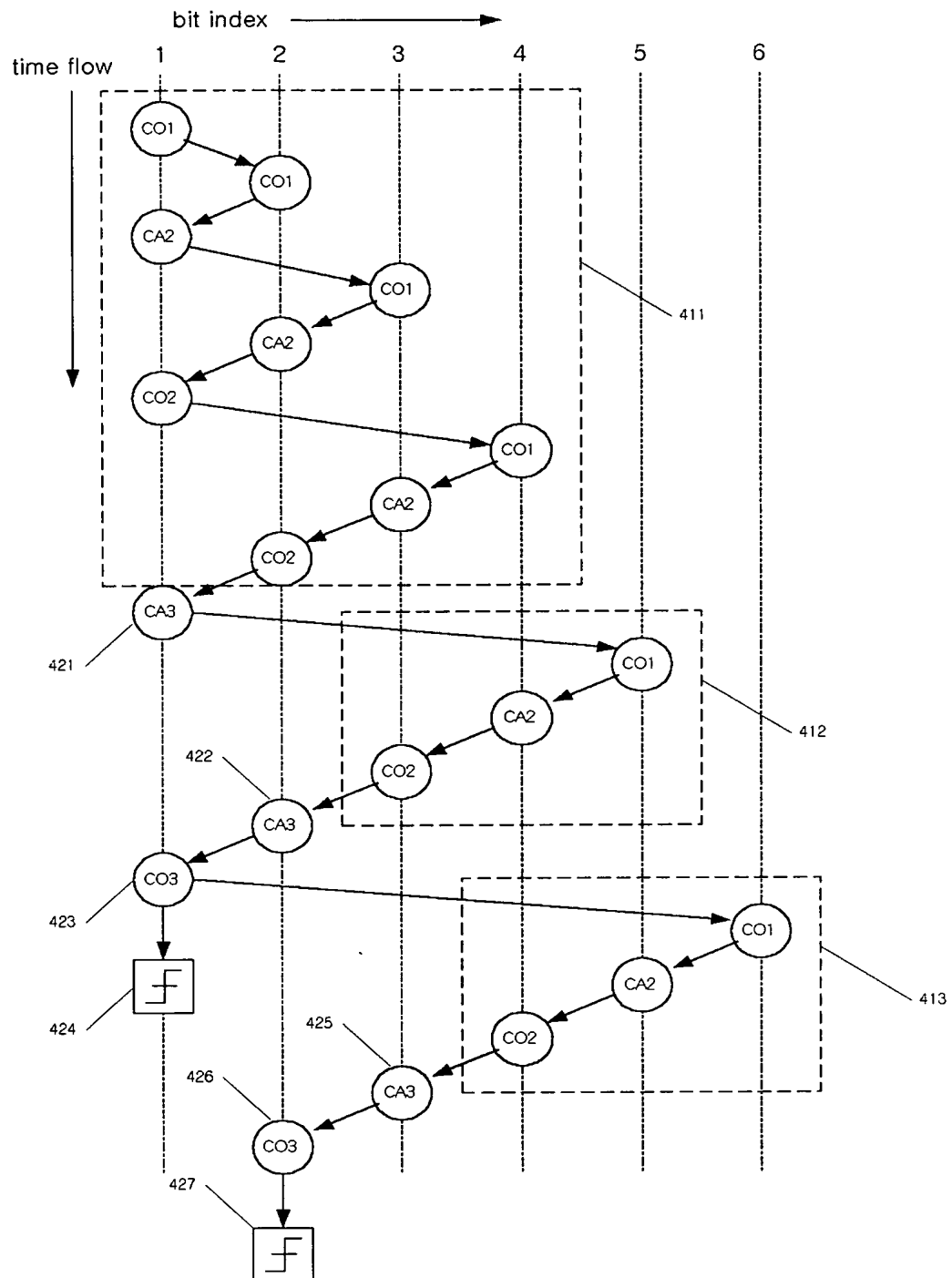
【도 2】



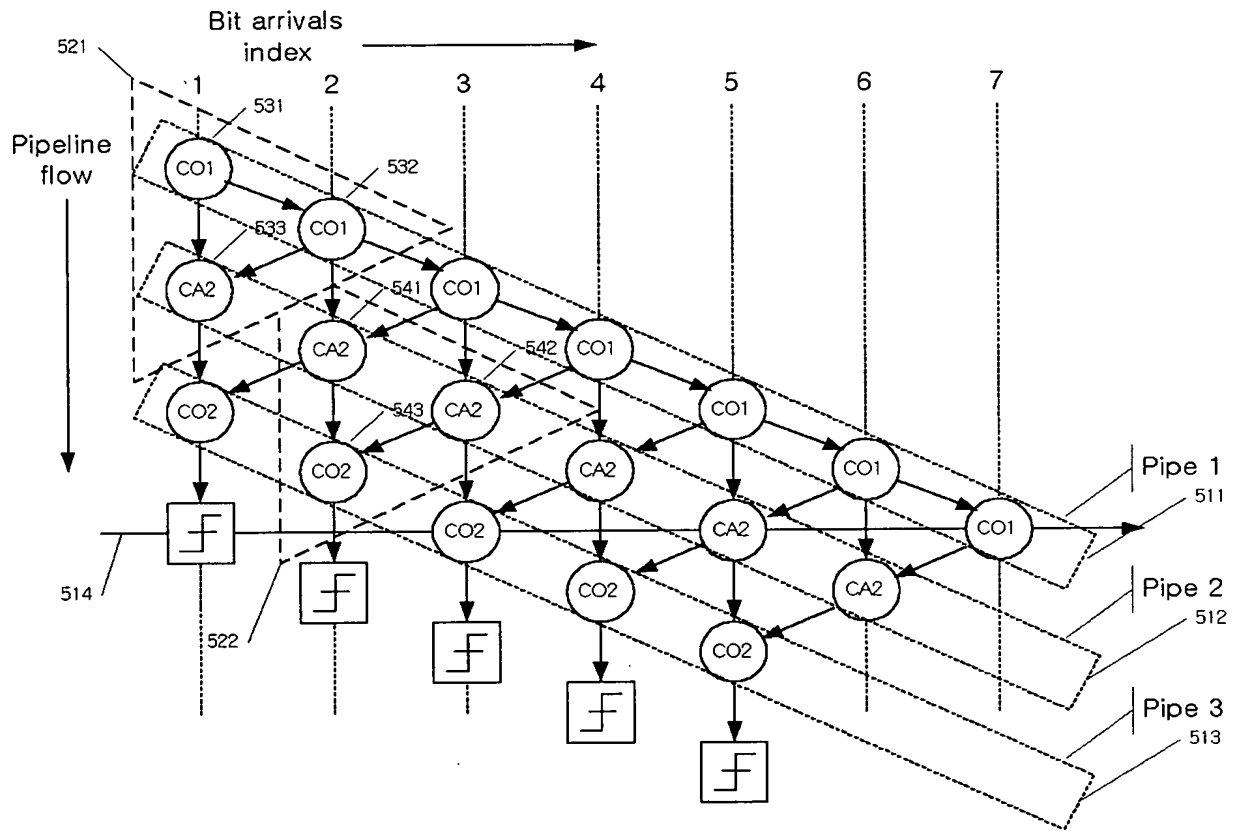
【도 3】



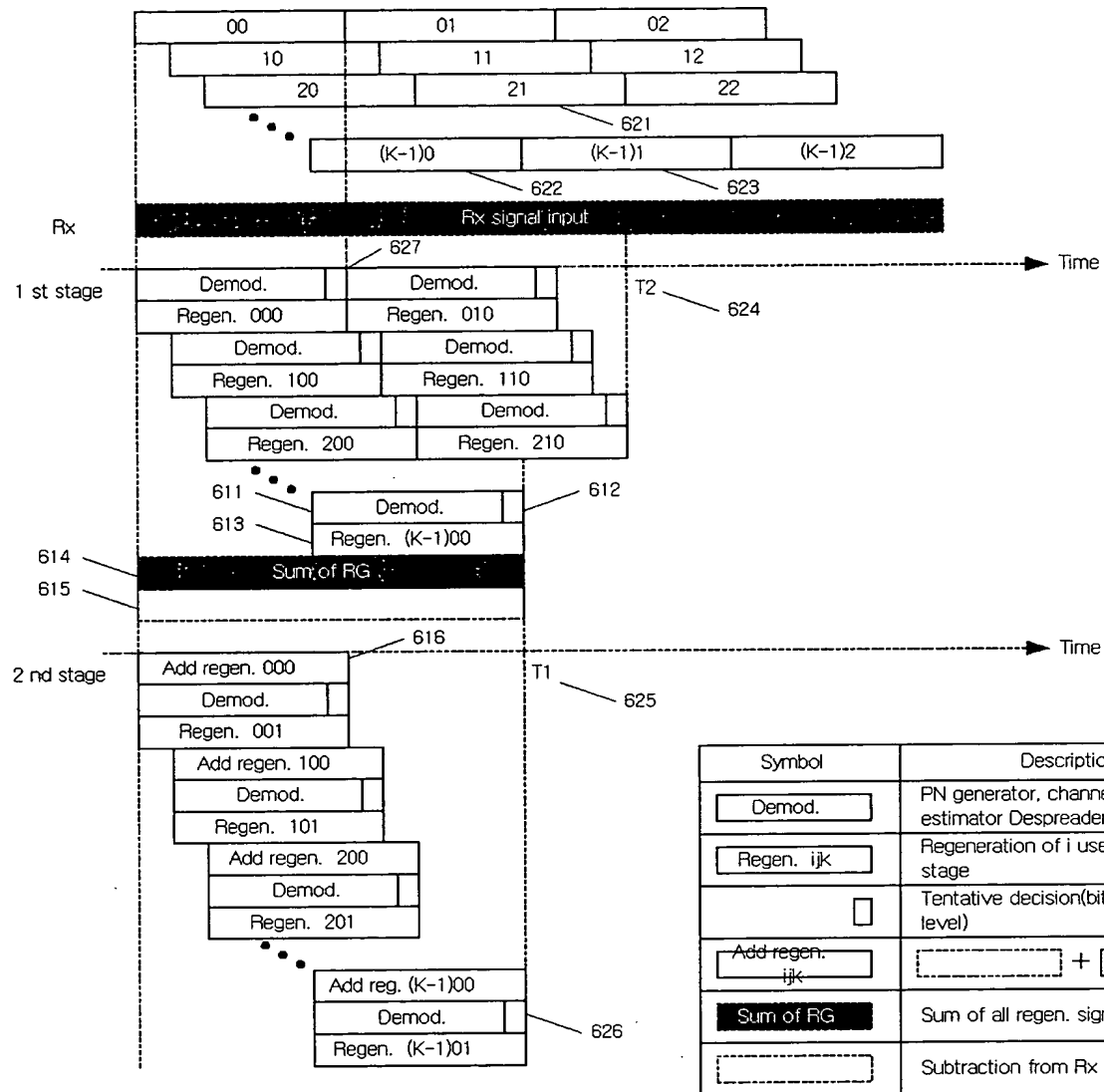
【도 4】



【도 5】



【도 6】



【도 7】

